**ĐỒ ÁN THIẾT KẾ LUẬN LÝ**

**Báo cáo tiến độ**

**Tuần 39**

**Nhóm sinh viên:**

* Nguyễn Lý Đăng Khoa - 1952785
* Nguyễn Đình Nam - 1952858

1. **Công việc làm được trong tuần qua:**

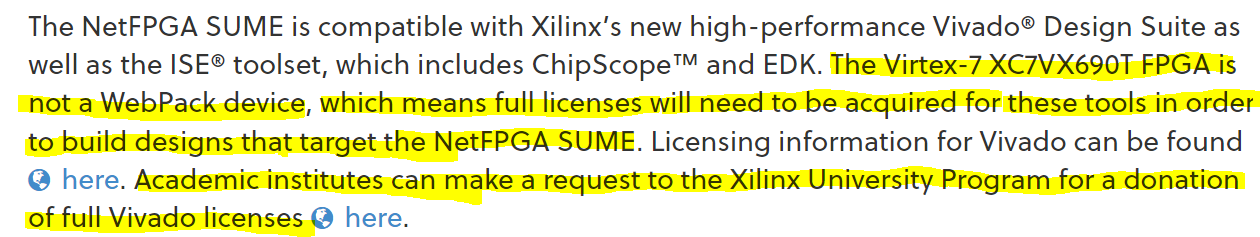
* **Ôn lại Verilog HDL**
* **Cài đặt Xilinx Vivado 2018.2, đăng ký NetFPGA-SUME Beta Program**
* **Đọc tài liệu trên Dropbox**
* **Introduction to HLS (*nguồn: [VIVADO HLS Training - Introduction #01 - YouTube](https://www.youtube.com/watch?v=kgae3Wzqngs&list=PLo7bVbJhQ6qzK6ELKCm8H_WEzzcr5YXHC&ab_channel=TheDevelopmentChannel)*) và làm 1 bài demo nhỏ( có vấn đề lúc simulate)**

1. **Dự định trong tuần tiếp theo:**

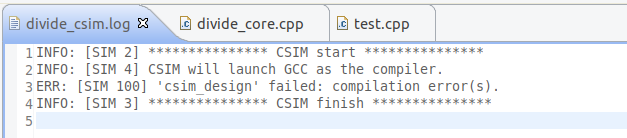
* **Tìm hiểu Mô hình mạng TCP/IP, địa chỉ MAC**
* **Tìm hiểu thuật toán chuyển mạch**
* **Cấu trúc gói tin**
* **Chuẩn giao tiếp FPGA**

1. **Các vấn đề gặp phải và các câu hỏi:**

**1. Vấn đề về license: trong bản license free hiện tại không có board fpga sume, mà theo như tụi em tìm hiểu thì xin donate license cần đến từ 3 đến 4 tuần nên tụi em vẫn chưa rõ sẽ giải quyết ra sao.**



**2. Về simulation trên vivado hls:**



**Lỗi này xuất hiện khi tụi em cho chạy simulation 1 chương trình test, cả hai máy đều bị. Em có search trên mạng nói rằng thư viện glibc xilinx cung cấp củ hơn so với ubuntu nên solution là update fixed headers do xilinx cung cấp. Em thử chạy dòng lênh sau nhưng vẫn ko sửa đc ạ:**

